



KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030043292 A
(43)Date of publication of application: 02.06.2003

(21)Application number: 1020010074375

(22)Date of filing: 27.11.2001

(71)Applicant:

SAMSUNG SDI CO., LTD.

(72)Inventor:

LEE, GI YONG

(51)Int. Cl H01L 29/786

(54) POLYCRYSTALLINE SILICON THIN FILM FOR THIN FILM TRANSISTOR(TFT) AND DEVICE USING THE SAME

(57) Abstract:

PURPOSE: A polycrystalline silicon thin film for a TFT(Thin Film Transistor) and a device using the same are provided to be capable of determining the optimum condition of the TFT by using a probability equation.

CONSTITUTION: A probability 'P' capable of including the maximum number of primary grain boundaries in an active channel region of a TFT, is expressed as an equation '1', hereunder. At this time, the value of the probability 'P' has 0~1 except for the value of 0.5. The equation '1' is expressed as $P = \frac{(D - (N_{max} - 1) \times \pi \times G_s)}{L \cos \theta}$. Hereupon, the 'D' means the length of the active channel region of the TFT, the 'W' means the width of the active channel region of the TFT, the 'N_{max}' means the maximum number of primary grain boundaries capable of being included in the active channel region having the length 'L' and the width 'W', the 'G_s' means the size of grain, and the ' θ ' means the angle of the primary grain boundary against the vertical direction of the active channel region.

COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (20050221)

Patent registration number (1004839850000)

Date of registration (20050408)

Date of opposition against the grant of a patent (00000000)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(5) Int. Cl.
H01L 29/786(11) 공개번호 특2003-0043292
(13) 공개일자 2003년 06월 02일

(21) 출원번호	10-2001-0074375
(22) 출원일자	2001년 11월 27일
(71) 출원인	삼성에스디아이 주식회사 경기 수원시 팔달구 신동 575번지
(72) 발명자	이기용 경기도수원시팔달구영통동963-2, 쌍용아파트542-803
(74) 대리인	박상수

설사첨구 : 있음

(54) 벽막 트렌지스터용 다결정 실리콘 박막 및 이를 사용한 디바이스

요약

본 발명은 TFT에 사용되는 다결정 실리콘 박막 및 이를 사용하여 제조되는 디바이스에 관한 것으로, 프라이머리 결정립 경계의 최대수가 TFT의 액티브 채널 영역 내에 포함될 확률 P가 하기 식 1로 표현되는 것을 특징으로 하는 TFT용 다결정 실리콘 박막으로 상기 P가 0.5가 아닌 다결정 실리콘 박막 및 이를 이용한 디바이스를 제공함으로써 군일성이 우수한 TFT 및 디바이스를 제공할 수 있다.

[식 1]

$$P = (0 - (N_{max} - 1) \times B_s) / B_s$$

여기에서,

$D = L \cdot \cos \theta + \frac{W}{2} \sin \theta$, L은 TFT의 액티브 채널의 길이, W는 TFT의 액티브 채널의 폭, N_{max} 는 길이 L, 폭이 W인 TFT의 액티브 채널 영역 내에 포함될 수 있는 프라이머리 결정립 경계의 최대수, B_s 는 결점립 크기, θ 는 TFT의 액티브 채널 방향의 소직 방향에 대하여 프라이머리 결정립 경계가 기울어져 있는 각도를 나타낸다.

도표도

도 1a

4인자

다결정 실리콘, 결정립, 결정립 경계, 액티브 채널 영역

5세서

도면의 기호와 쓰임

도 1a는 동일한 결정립 크기 B_s 및 액티브 채널 차원 $L \times \frac{W}{2}$ 에 대하여 치명적인 결정립 경계의 수가 2인 TFT의 개략적인 단면을 도시한 도면이고, 도 1b는 치명적인 결정립 경계의 수가 3인 TFT의 개략적인 단면을 도시한 도면이다.

도 2a 및 도 2b는 종래 기술에 따라 SLS 결정화법에 의하여 형성된 입자 크기가 큰 실리콘 그레인을 포함한 TFT의 액티브 채널의 개략적인 단면을 도시한 도면이다.

도 3a 내지 도 3c는 또 다른 종래 기술에 따라 제조된 TFT의 액티브 채널의 개략적인 단면을 도시한 도면이다.

도 4는 구동 회로 기판 또는 디스플레이부 상에 제작되는 TFT의 특성에 치명적인 영향을 줄 수 있는 치명적인 결정립 경계의 수가 TFT의 위치에 따라 달라질 수 있음을 나타내는 개략도이다.

도 5a 및 도 5c는 TFT의 액티브 채널 영역 내에 소스/드레인 방향과 수직하지 않은 결정립 경계를 갖는 다결정 실리콘을 이용한 TFT 구조의 개략적인 단면도이고, 도 5b는 상기 TFT의 통가 회로도이다.

도 6a 및 도 6b는 액티브 채널 영역 내에 소스/드레인 방향과 수직하지 않은 일반적인 결정립 경계를 갖는 다결정 실리콘을 이용한 TFT의 구조에 있어서, 최대수 또는 최대수 - 1 개의 프라이머리 결정립 경계가 액티브 채널 영역 내에 포함될 확률을 계산하기 위한 도면이다.

도 7a 및 도 7b는 TFT의 액티브 채널 영역 내에 소스/드레인 방향과 수직한 결정립 경계를 갖는 다결정 실리콘을 이용한 TFT 구조를 나타내는 개략적인 단면도이고, 도 7b는 상기 TFT의 통가 회로도이다.

도 8a 및 도 8b는 엑티브 채널 영역 내에 소스/드레인 발각과 소작한 결정팀 경계를 갖는 다결정 실리콘 채널을 이용한 TFT 구조에 있어서, 최대수 또는 최대수-1 개의 프리미머리 결정팀 경계가 엑티브 채널 영역 내에 포인트 확률을 계산하기 위한 도면이다.

따라, 계산된 P 와 Q 의 예를 보여주는 도면이다.

한국의 산세학 설립

한국의 문학

설명이 속하는 기술분야 및 그 분야의 주제기술

[산업용 미용복야]

표 6-1은 TFT에 사용되는 다결정 실리콘 박막 및 이를 사용한 디바이스에 관한 것으로서, 더욱 상세하게 다결정 실리콘 박막을 사용하여 제조된 TFT를 사용하는 디바이스에 관한 것이다.

[증례 기술]

다결정 실리콘을 이용한 TFT(Thin Film Transistor) 제작시, 액티브 채널(active channel) 영역 내에 포 함되는 다결정 실리콘의 결점인 경계에 존재하는 원자 가표(dangling bonds) 등의 결합 결합은 전하 캐리어(electric charge carrier)에 대하여 트랩(trap)으로 작용하는 것으로 알려져 있다.

따라서, 결정판의 크기, 크기-균일성, 수와 위치, 방향 등은 문턱 전압(V_{th}), 문턱치 경사(subthreshold slope), 전하 수송 이동도(charge carrier mobility), 누설 전류(leakage current), 및 디바이스 안정성(device stability) 등과 같은 TFT 특성에 직접 또는 간접적으로 치명적인 영향을 줄 수 있음을 듣든, TFT를 이용한 액티브 매트릭스 디스플레이(active matrix display) 기판 제작시 결정판의 위치에 따라서 TFT의 균일성에도 치명적인 영향을 끼울 수 있다.

이때, 디스플레이 디바이스의 전체 기판 위에 TFT의 액티브 채널 영역 내에 포함되는 치명적인 결정립 경계(이하, '프라이머리(primary) 결정립 경계라 칭함')의 수는 결정립의 크기, 기울어짐 각도 등, 액티브 채널의 차원(dimension)(길이(L), 폭(W))과 기판 상의 각 TFT의 위치에 따라 같거나 달라질 수 있다(도 1a 및 도 1b).

도 1a 및 도 1b에서와 같이, 결정립 크기 6s, 엑티브 채널 차원(dimension) $L \times W$, 기울어짐 각도 θ 에 대하여 엑티브 채널 영역에 포함될 수 있는 '프리아미리' 결정립 경계의 수는, 최대 결정립 경계의 수를 N_{max} 로 할 때, 즉 TFT 기판 또는 디스플레이 디바이스 상의 위치에 따라 엑티브 채널 영역 내에 포함되는 N_{max} 도 1의 경우 (3개) 또는 N_{max} -1 (도 1b의 경우 2개)개가 될 것이다. '프리아미리' 결정립 경계의 수는 N_{max} 도 1의 경우 (3개) 또는 N_{max} -1 (도 1b의 경우 2개)개가 될 것이다. 모든 TFT에 대하여 N_{max} '프리아미리' 결정립 경계의 수가 엑티브 채널 영역 내에 포함될 때 가장 먼저, 각각의 TFT가 동일한 수의 결정립 경계를 갖는 것이 우수한 TFT 특성의 구현성이 확보될 수 있다. 즉, 각각의 TFT가 동일한 수의 결정립 경계를 갖는 것이 우수한 TFT 특성의 구현성이 확보될 수 있다.

반면, N_{max} 개의 '프라이머리' 결정판 경계의 수를 포함하는 TFT의 수와 N_{max} -1개의 '프라이머리' 결정판 경계의 수를 포함하는 TFT의 수가 동일하다면, TFT 기판 또는 디스플레이 디바이스 상에 있는 TFT 특성 중 구밀성 면에서 가장 나쁘리라 쉽게 예상할 수 있다.

이에 대하여, SLS(Sequential Lateral Solidification) 결정화 기술을 이용하여 기판 상에 다결정 또는 단결정인 입자가 거대 실리콘 그레인(large silicon grain)을 형성할 수 있으며(도 2a 및 도 2b), 이를 이용하여 TFT를 제작하였을 때, 단결정 실리콘으로 제작된 TFT의 특성과 유사한 특성을 얻을 수 있는 것 으로 보고되고 있다.

그러나, 액티브 매트릭스 디스플레이를 제작하기 위해서는 드라이버(driver)와 화소 배열(pixel array)을 위한 수많은 TFT가 제작되어야 한다.

예를 들어, SVGA급 해상도를 갖는 액티브 매트릭스 디스플레이의 제작에는 대략 100만개의 화소가 만들어지며, 특정 표시 소자(Liquid Crystal Display; LCD)의 경우 각 화소에는 1개의 TFT가 필요하며, 유기 발광 물질을 이용한 디스플레이(예를 들어, 유기 전계 밀광 소자)에는 적어도 2개 이상의 TFT가 필요하게 된다.

따라서, 100만개 또는 200만개 이상의 TFT 각각의 액티브 채널 영역에만 일정한 숫자의 결정립을 일정한
방법으로 선자사례 제작하는 것을 불가능하다.

이를 구현하는 방법으로는 PCT 국제 특허 WO 97/45827호에 서 개시된 바와 같이, 비정질 실리콘을 PECVD, LPCVD 또는 스퍼터링법에 의하여 증착한 후 SLS 기법으로 전체 기판 상의 비정질 실리콘을 다결정 실리콘으로 변화시킨거나, 기판 상의 서열 열역학을 결정화하는 기술이 개시되어 있다(도 2a 및 도 2b 참조).

선택 영역 역시 수 $\mu\text{m} \times \mu\text{m}$ 의 차원을 갖는 액티브 채널 영역에 비하면 상당히 넓은 영역이다. 또한, SLS 기술에서 사용하는 레이저 빔 크기(laser beam size)는 대략 수 $\mu\text{m} \times \mu\text{m}$ 으로서, 기판 상의 전체 영역 또는 선택 영역의 비정질 실리콘을 결정화하기 위해서는 팽연적으로 레이저 빔 또는 스테이지(stage)의 스텝핑(stepping) 및 쉬프팅(shifting)이 필요하며, 이 때 레이저빔이 조사되는 영역간의 미스얼라인(misalignment)이 존재하게 되고, 따라서, 수많은 TFT의 액티브 채널 영역 내에 포함되는 프리아머리(jiggle) 결합(disalign)이 존재하게 되고, 천체 기판 상 또는 드라이버 영역, 회소 셀 영역 내의 TFT는 예측할 수 있는 불균일성을 갖게 된다. 이러한 불균일성은 액티브 매트릭스 디스플레이 디바이스를 구현하는데 있어서 치명적인 악영향을 미칠 수 있다.

또한, 미국 특히 제6,177,391호에서는 SLS 결정화 기술을 이용하여 거대 입자 실리콘 그레인(large

silicon grain)을 형성하여 드라이버와 홀소-배치를 포함한 LCD 디바이스용 TFT 제작시 액티브 채널 방향 SLS 결점화 방법에 의하여 성장된 결정질 방향에 대하여 평행한 경우 전자 캐리어(electric charge carrier) 방향에 대한 결정질 경계의 배리어(barrier) 효과가 최소가 되며(도 3a), 따라서, 단결질 실리콘에 비금속 또는 TFT 특성을 얻을 수 있는 반면, 액티브 채널 방향과 결정질 성장 방향이 90°의 경우 TFT 특성이 전자 캐리어(electric charge carrier)의 트렌으로 작용하는 많은 결정질 경계가 존재하게 되며, TFT 특성이 크게 저하된다(도 3b).

실제로, 액티브 매트릭스 디스플레이가 제작시 구동 회로(driver circuit) 내의 TFT와 화소 셀 영역 내의 TFT는 일반적으로 90°의 각도를 갖는 경우가 있으며, 이 때, 각 TFT의 특성을 크게 저하시키지 않으면 TFT 간 특성의 균일성을 향상시키기 위해서는 결정 성장 방향에 대한 액티브 채널 영역의 방향을 30° 내지 60°의 각도로 기울여지게 제작함으로써 디바이스의 균일성을 향상시킬 수 있다(도 3c).

그러나, 이 방법 역시 SLS 결정화 기술에 의해 형성되는 유한 크기의 결정립을 이용함으로써, 치명적인 결정립 경계가 엑티브 챠팅 영역 내에 포함될 확률이 존재하며, 따라서, TFT 간 특성 차이를 야기시키는 예방할 수 없는 불균일성이나 존재하게 된다는 문제점이 있다.

설명이 이루어져야 하는 기술적 조건

설명의 구성 및 쪽을

2. 발명은 삼기한 목적을 달성하기 위하여, 본 발명은

프라이머리 결정립 경계의 최대수가 TFT의 헥타브 표현되며, 삼각 활동이 0.5가 아닌 것을 특징으로 하는 TFT는 결정 실리콘 박막을 제공한다.

[식 1]

$$P = (0 - (N_{\max} - 1) \times g_s) / g_s$$

여기에서.

$$0 = L \cos \theta + V \sin \theta$$

나는 TFI의 액티브 채널의 길이, 너는 TFI의 액티브 채널의 폭,

N_{max} 는 길이 L , 폭이 W 인 TFT의 액티브 채널 영역 내에 포함될 수 있는 프리미머리 결정판 경계의 최대수.

86는 결정론적 초기

이는 TFT의 엑티브 채널 방향의 수직 방향에 대하여 프라이머리 결정립 경계가 기울어져 있는 각도를 나타낸다.

도학과 말의 이

그러나, 그 외에는 TFT의 액정판의 크기와 박막의 길이가 결정되는 크기의 정수배인 것을 특징으로 하는 TFT용 다결정 실리콘 박막을 제작하는 경우가 있다.

[1995] 10월호

프라야미리 결정팁 경계의 최대수를 포함할 확률이 TFT 기판의 엑티브 채널 영역의 장축 방향의 결정팁 크기에 대하여 상기 결정팁 경계의 최대수 -1개의 결정팁이 차지하는 거리를 뺀 나머지 거리의 비율로 나누어지며, 상기 확률이 1.0가 아닌 것을 복작으로 하는 TFT용 다결정 실리콘 박막을 제공한다.

한국 고전집

본 발명은 특히 제조되는 디결정 실리콘 박막을 사용하는 액티브 매트릭스 TFT를 이용한 것을 특징으로 하는 디스플레이를 제공한다.

이후 본 발명은 청진한 도면을 참조하여 상세히 설명한다.

액티브 매트릭스 디스플레이용 TFT 제작시 TFT 특성에 직접, 간접적으로 중대한 영향을 미치는 결정정 실리콘 전정립이 TFT 특성 향상을 위하여 크고 규칙화되는 경우, 결정립의 유한한 크기로 인하여, 인접한 결정립 사이에 결전립(결제)이 발생한다.

본 발명에서 '결정립 크기'라 함은 확인될 수 있는 결정립 경계 사이의 거리를 말하며, 통상 오차 범위에 속하는 결정립 경계의 거리라고 정의한다.

특히, 결정립 경계가 엑티브 채널(active channel) 영역 내에 존재할 때 TFT 특성에 치명적인 영향을 주는 결정립 경계, 즉, 엑티브 채널 방향의 수직 방향에 대한 결정립 경계의 기울어짐 각도가 -45° $\pm 0.5^{\circ}$ 45° 인 '프라이머리' 결정립 경계의 경우, 다결정 실리콘 박막의 형성시 공정 정밀성의 한계로 인하여 피할 수 없는 결함이 되다.

또한, 구동 회로 기판 또는 디스플레이부에 제작되는 TFT 액티브 채널 영역 내에 포함되는 '프라이머리' 결정립 경계의 수는 결정립의 크기, 방향, 액티브 채널의 차원 등에 따라 달라질 수 있고(도 4), 따라서, 제작되는 TFT 및 디스플레이의 특성이 불균일하게 되거나, 심지어 구동이 되지 않게 된다.

본 발명에서는 거대 실리콘 그레인(large silicon grain)을 이용한 TFT 기판 제작시 TFT 특성 중 균일성을 판단할 수 있는 '프라이머리' 결정립 경계의 최대 수 N_{max} 가 디스플레이부 또는 구동 회로 기판 위에 액티브 채널 영역(active channel region) 내에 포함될 확률 'P' 및 $N_{max} - 1$ 개가 포함될 확률 'Q'를 계산하는 수식을 유도하였으며, 이러한 수식을 이용하여 TFT 기판 제작 및 액티브 디스플레이 디바이스(active display device) 제작시 요구되는 TFT 특성의 균일성을 확보하기 위한 실리콘 결정립 크기, 미소(active display device) 제작시 요구되는 TFT 특성의 균일성을 확보하기 위한 실리콘 결정립 크기, 방향에 대한 최적 공정 조건 및 액티브 채널의 최적 차원(dimension) 등을 판단할 수 있어, 가장 바람직한 공정 조건 및 TFT의 제원을 제공할 수 있다.

'프라이머리' 결정립 경계의 최대수 N_{max} 가 디스플레이부 또는 구동 회로 기판에서 TFT의 액티브 채널 영역 내에 포함될 확률을 'P'라고 하면, $N_{max} - 1$ 의 결정립 경계가 포함될 확률 'Q'는 $1 - P$ 가 될 것이다.

따라서, $P + Q = 1$ 이고, $P = a + b / 6s$ 라고 정의한다.

도 6a에서 볼 수 있는 바와 같이, $a + b$ 는 장축 방향으로 $N_{max} - 1$ 개의 결정립이 차지하는 거리를 뺀 나머지 거리이고, $6s$ 는 장축 방향의 결정립 크기를 나타낸다.

한편, 도 5c에서 볼 수 있는 바와 같이, 소스/드레인 방향에 대한 범선을 'NN'이라 하면, 결정립 장축 방향의 인접한 결정립 간의 경계를 '프라이머리' 결정립 경계라 할 수 있으며, 범선 'NN'과 '프라이머리' 결정립 경계가 이를 수 있는 각도 θ 는 $-45^\circ \leq \theta \leq 45^\circ$ 가 된다.

이때, 길이가 L 이고 폭이 W 인 액티브 채널 영역에 대하여 '프라이머리' 결정립 경계에 수직한 거리, 즉, 액티브 채널 영역 내의 최대 거리 D 는 단순한 삼각 할수 관계에 의하여 다음과 같이 나타낼 수 있다(도 5a).

$$D = (L + x) \times \cos \theta \text{이고.}$$

$$x = W \times \tan \theta \text{이다.}$$

$$D = (L + W \tan \theta) \times \cos \theta = L \cos \theta + W \tan \theta \cos \theta \text{이고.}$$

$$\tan \theta \cos \theta = \sin \theta \text{이므로, } D \text{를 다시 쓰면,}$$

$$D = L \cos \theta + W \sin \theta \text{이다.}$$

따라서, 상기 최대 거리 D 는 액티브 채널 영역의 길이 L 과 폭 W , 그리고 범선 'NN'에 대한 '프라이머리' 결정립 경계의 기울어짐 각도 θ 만의 함수로 나타낼 수 있다.

결정립 장축 방향의 크기를 $6s$ 라 할 때, 액티브 채널 영역 내에 포함되는 '프라이머리' 결정립 경계의 최대 수를 N_{max} 라 하면, N_{max} 는 다음과 같은 식에 의하여 구할 수 있다.

$$N_{max} = \lceil D/6s \rceil,$$

여기에서, 함수 $\lceil \cdot \rceil$ 는 다음과 같이 정의된다.

$$\lceil x \rceil = \text{가장 작은 정수 } \geq x, x = \text{임의의 수(arbitrary number)} \text{이다.}$$

즉, x 가 2일 때, $N_{max} = 201$ 며, $x = 2.3$ 일 때, $N_{max} = 301$ 되게 하는 함수임을 알 수 있다.

한편, 도 6a 및 도 6b를 참조하면, $a + b = D - (N_{max} - 1) \times 6s$ 이고.

따라서, 확률 'P'는 다음과 같이 유도될 수 있다.

$$P = (D - (N_{max} - 1) \times 6s) / 6s \text{이고.}$$

$$Q = 1 - P = 1 - (D - (N_{max} - 1) \times 6s / 6s) = (-D + N_{max} \times 6s) / 6s \text{가 된다.}$$

이상과 같이, 액티브 채널 영역 내에는 N_{max} 개 또는 $N_{max} - 1$ 개의 '프라이머리' 결정립 경계의 수만이 존재할 수 있으며, 이를 바탕으로 상기 수식에 의하여 표현되는 확률 P 의 물리적인 의미는 다음과 같다.

a) $P = 0$ 인 경우

액티브 채널 영역 내에는 $N_{max} - 1$ 개의 '프라이머리' 결정립 경계의 최대 수 N_{max} 가 포함될 확률은 0이고, 따라서, 액티브 채널 영역 내에는 N_{max} 개의 '프라이머리' 결정립 경계의 수만이 존재할 수 있다.

b) $0 < P < 0.5$ 인 경우

액티브 채널 영역 내에 N_{max} 개의 '프라이머리' 결정립 경계의 수가 존재할 확률은 $N_{max} - 1$ 개의 경계 수가 존재할 확률보다 낮다.

c) $P = 0.5$ 인 경우

액티브 채널 영역 내에 N_{max} 개의 '프라이머리' 결정립 경계의 수를 포함할 확률이 $N_{max} - 1$ 개의 경계 수를 포함할 확률과 같다.

d) $0.5 < P < 1$ 인 경우

액티브 채널 영역 내에 N_{max} 개의 '프라이머리' 결정립 경계의 수를 포함할 확률이 $N_{max} - 1$ 개의 경계를 포함할 확률과 같다.

e) $P = 1$ 인 경우

액티브 채널 영역 내에 '프라이머리' 결정립 경계의 최대 수 N_{max} 를 포함할 확률은 1이고, 따라서 액티브 채널 영역 내에서는 N_{max} 개의 '프라이머리' 결정립 경계의 수만이 존재할 수 있다.

이러한 확률 P 의 의미로부터 장축 방향의 결정립 크기가 $8s$ 인 다결정 실리콘을 이용하여 TFT를 제작할 때, 액티브 채널 영역 내에 포함되는 '프라이머리' 결정립 경계의 수 차이로 인한 구동 회로 기판 내, 또 0.5 인 경우가 가장 우수하다는 것을 알 수 있다.

그러나, 다결정 실리콘을 이용한 실제 TFT 기판 제작에서는 액티브 채널 형성을 위한 게이트 메탈(gate metal)의 속식 또는 건식 식각시 공정 마진으로 인하여, $P = 0$ 또는 $P = 1$ 인 확률을 얻기가 용이하지 않으며, 액티브 매트릭스 디스플레이의 구현에 필요한 TFT 특성의 균일성을 확보할 수 있는 확률 P 의 범위인 $0.5P \leq 0.25$ 또는 $0.75 \leq P \leq 1$ 을 기준으로 하여 주어진 결정립 크기 및 방위에 대하여 TFT를 설계하거나 요구되는 TFT 설계에 맞추어 다결정 실리콘 박막을 제작하도록 실리콘 결정화 공정을 실시할 수 있다.

 $\theta = 0^\circ$ 인 경우의 수식

지금까지는 소스/드레인의 방향의 법선 방향이 'NN'에 대하여 θ 의 각도로 '프라이머리' 결정립 경계가 기울어진 경우에 대한 일반적인 경우로서, $\theta = 0^\circ$ 인 특수한 경우가 있을 수 있고(도 7c), 이 때, 동일한 수의 '프라이머리' 결정립 경계가 액티브 채널 영역에 포함된다면, $\theta = 0^\circ$ 인 경우에 비하여, '프라이머리' 결정립 경계에 대하여 수직한 '세컨더리(Secondary)' 결정립 경계가 TFT 특성에 미치는 영향은 줄어들고, 이에 따라 TFT 특성이 보다 더 우수하리라 쉽게 판단할 수 있다.

이 때, 상기 확률 P 를 나타내는 식에서 $\theta = 0^\circ$ 되며(도 8c, 8b), 상기 P 는 더 이상 θ 및 θ 의 합수가 아니다. 이 때, 확률 P 는 다음과 같이 나타낼 수 있다.

$$P = (L - (N_{max} - 1) \times 6s) / 6s$$

이 때, 액티브 채널 영역 내에 $N_{max} - 1$ 개의 '프라이머리' 결정립 경계의 수를 포함할 확률 0 는 $P + Q = 1$ 이므로,

$$Q = 1 - P = (1 - (L - (N_{max} - 1) \times 6s)) / 6s = (-L + N_{max} \times 6s) / 6s$$

도 9a와 도 9b에서 채널 길이 $L = 9 \mu\text{m}$ 이며, 결정립 크기 $6s = 2 \mu\text{m}$ (a)와 $6s = 4 \mu\text{m}$ (b)에 대하여 도시하였다. 결정립 크기가 $2 \mu\text{m}$ 일 경우 (도 9a) 액티브 채널 영역 내에 포함될 수 있는 '프라이머리' 결정립 경계의 최대 수는 50이며, 따라서, 주어진 액티브 채널 차원(dimension) 및 결정립 크기와 방향에 대하여 액티브 채널 영역 내에 포함될 수 있는 '프라이머리' 결정립 경계의 수는 5와 4이며, 이에 따른 확률은 각각 0.5 대 0.5로서, 이러한 경우, 기판 또는 디스플레이 상에 제작되는 TFT의 균일성은 가장 나쁘리라는 것을 쉽게 알 수 있다.

동일한 액티브 채널 차원에 대하여 결정립 크기를 $4 \mu\text{m}$ 으로 하였을 때(도 9b), 액티브 채널 영역 내에 포함될 수 있는 '프라이머리' 결정립 경계의 수가 2일 확률은 0.75로서 도 9b보다 TFT 균일성이 향상될 수 있음을 알 수 있다.

동일한 결정립 크기 $2 \mu\text{m}$ 와 $4 \mu\text{m}$ 에 대하여 액티브 채널 길이를 $10 \mu\text{m}$ 으로 하면 (도 10a, 도 10b), 결정립 크기 $2 \mu\text{m}$ 에 대하여 액티브 채널 영역 내에 포함되는 '프라이머리' 결정립 경계의 수가 5일 확률이 1로서, 주어진 액티브 채널 차원과 결정립 크기에 대하여, 구동 회로 기판 또는 디스플레이 상의 모든 TFT가 동일한 수의 '프라이머리' 결정립 경계를 포함하게 되며, 적어도 결정립 크기, 즉, 결정립 경계로 인한 TFT 특성에 있어서는 완전한 균일성을 얻을 수 있음을 알 수 있다. 반면, $L = 10 \mu\text{m}$, $6s = 4 \mu\text{m}$ 인 경우, 확률은 0.5로서, TFT 특성 중 균일성 면에서 가장 나쁜 결과가 초래되리라고 예상할 수 있다.

결정립 크기가 액티브 채널 길이보다 클 경우에도 상기 확률 P 를 나타내는 수식을 적용하여, '프라이머리' 결정립 경계가 액티브 채널 영역 내에 포함될 확률이 존재하여, 계산할 수 있다는 것을 도 11a와 도 11b에서 보여주고 있다.

도 11a와 도 11b로부터 채널 길이 $L = 4 \mu\text{m}$ 에 대하여 결정립 크기가 $8 \mu\text{m}$ 인 경우에 비하여, $16 \mu\text{m}$ 인 경우 도 11a와 도 11b로 부터 채널 길이 $L = 4 \mu\text{m}$ 에 대하여 결정립 크기가 $8 \mu\text{m}$ 인 경우에 비하여, $16 \mu\text{m}$ 인 경우 TFT 특성 중 균일성이 향상될 수 있음을 알 수 있다.

위에서 설명한 바와 같은 예에서와 같이, 본 발명에서 정의된 확률 계산식은 식 1은 액티브 채널 차원과 결정립 크기, 방향의 어떠한 조합에 대해서도 TFT 특성에 치명적인 영향을 주는 '프라이머리' 결정립 경계가 포함될 확률을 계산함으로써 제작되는 TFT 기판의 균일성을 예측할 수 있고, 이를 바탕으로 최적의 균일성을 얻는 실리콘 결정화 공정을 확립하거나, 또는 TFT 구조를 설계할 수 있다.

심지어, 기판 상에 2개의 거대 실리콘 결정립이 형성되는 경우에도 정의된 수식은 유효하며, 그 결정립 경계가 액티브 채널 영역 내에 포함될 확률을 계산할 수 있고, 균일성을 향상시킬 수 있는 최적의 TFT를 제작할 수 있다.

본 발명에서 정의된 식의 적용예로서 '프라이머리' 결정립 경계의 기울어짐 각도 $\theta \neq 0^\circ$ 인 경우와 $\theta = 0^\circ$ 인 경우에 대하여, 각각 표 1, 2, 3 및 4에 결정립 크기와 액티브 채널 차원에 따른 확률 P 를 계산하여 예시한다.

표 1

결정립 크기 $6s$, 각도 θ 가 주어지고, $L = 10 \mu\text{m}$ 인 경우, 채널 길이 L 에 따른 액티브 채널 영역 내 결정립 경계의 최대수 N_{max} 가 포함될 확률 P 값

θ	$Gs(\mu m)$	$L(\mu m)$	N_{max}	P	$Gs(\mu m)$	$L(\mu m)$	N_{max}	P	$Gs(\mu m)$	$L(\mu m)$	N_{max}	P
2°	0.4	1	4	0.371	1.5	1	1	0.899	2.5	1	1	0.539
		2	6	0.869		2	2	0.565		2	1	0.939
		3	9	0.368		3	3	0.231		3	2	0.339
		4	11	0.866		4	3	0.898		4	2	0.739
		5	14	0.365		5	4	0.564		5	3	0.138
		6	16	0.863		6	5	0.230		6	3	0.538
		7	19	0.362		7	5	0.896		7	3	0.938
		8	21	0.860		8	6	0.563		8	4	0.338
		9	24	0.359		9	7	0.229		9	4	0.737
		10	26	0.857		10	7	0.895		10	5	0.137
5°	0.4	1	5	0.669	1.5	1	2	0.245	2.5	1	1	0.747
		2	8	0.160		2	2	0.909		2	2	0.146
		3	10	0.660		3	3	0.573		3	2	0.544
		4	13	0.141		4	4	0.238		4	2	0.943
		5	15	0.631		5	4	0.902		5	3	0.341
		6	18	0.122		6	5	0.566		6	3	0.739
		7	20	0.612		7	6	0.230		7	4	0.138
		8	23	0.103		8	6	0.894		8	4	0.536
		9	25	0.593		9	7	0.558		9	4	0.935
		10	28	0.084		19	8	0.222		10	5	0.333

표 2

채널 길이 L , 각도 θ 가 주어지고, $W = 10 \mu m$ 인 경우, 결정립 크기 Gs 에 따른 액티브 채널 영역 내 결정립 경계의 최대수 N_{max} 가 포함될 확률 P 값

θ	$L(\mu m)$	$Gs(\mu m)$	N_{max}	P	$L(\mu m)$	$Gs(\mu m)$	N_{max}	P	$L(\mu m)$	$Gs(\mu m)$	N_{max}	P
2°	4	0.5	9	0.633	7	0.5	15	0.889	10	0.5	21	0.686
		1	5	0.347		1	8	0.345		1	11	0.343
		1.5	3	0.898		1.5	5	0.896		1.5	7	0.895
		2	3	0.173		2	4	0.672		2	6	0.171
		2.5	2	0.739		2.5	3	0.938		2.5	5	0.137
		3	2	0.449		3	3	0.448		3	4	0.448
		3.5	2	0.242		3.5	3	0.098		3.5	4	0.955
		4	2	0.087		4	2	0.636		4	3	0.586
		4.5	1	0.966		4.5	2	0.632		4.5	3	0.298
		5	1	0.869		5	2	0.469		5	3	0.069
5°	4	0.5	10	0.713	7	0.5	16	0.690	10	0.5	22	0.667
		1	5	0.856		1	8	0.845		1	11	0.834
		1.5	4	0.238		1.5	6	0.230		1.5	8	0.222
		2	3	0.428		2	4	0.922		2	6	0.417
		2.5	2	0.943		2.5	4	0.138		2.5	5	0.333
		3	2	0.619		3	3	0.615		3	4	0.611
		3.5	2	0.388		3.5	3	0.241		3.5	4	0.095
		4	2	0.214		4	2	0.961		4	3	0.708
		4.5	2	0.079		4.5	2	0.743		4.5	3	0.407
		5	1	0.971		5	2	0.569		5	3	0.167

표 3

결정립 크기 Gs , $\theta = 0^\circ$ 일 경우, 채널 길이 L 에 따른 액티브 채널 영역 내 결정립 경계의 최대수 N_{max} 가 포함될 확률 P 값

θ	$Gs(\mu m)$	$L(\mu m)$	N_{max}	P	$Gs(\mu m)$	$L(\mu m)$	N_{max}	P
----------	-------------	------------	-----------	-----	-------------	------------	-----------	-----

0°	0.4	1	3	0.500	1.5	1	1	0.667	2.5	1	1	0.400
		2	5	1.000		2	2	0.333		2	1	0.800
		3	8	0.500		3	2	1.000		3	2	0.200
		4	10	1.000		4	3	0.667		4	2	0.600
		5	13	0.500		5	4	0.333		5	2	1.000
		6	15	1.000		6	4	1.000		6	3	0.400
		7	18	0.500		7	5	0.667		7	3	0.800
		8	20	1.000		8	6	0.333		8	4	0.200
		9	23	0.500		9	6	1.000		9	4	0.600
		10	25	1.000		10	7	0.667		10	4	1.000
		11	28	0.500		11	8	0.333		11	5	0.400
		12	30	1.000		12	8	1.000		12	5	0.800
		13	33	0.500		13	9	0.667		13	6	0.200
		14	35	1.000		14	10	0.333		14	6	0.600
		15	38	0.500		15	10	1.000		15	6	1.000
		16	40	1.000		16	11	0.667		16	7	0.400
		17	43	0.500		17	12	0.333		17	7	0.800
		18	45	1.000		18	12	1.000		18	8	0.200
		19	48	0.500		19	13	0.667		19	8	0.600
		20	50	1.000		20	14	0.333		20	8	1.000

상기 표 3에서 액티브 채널 길이에 대한 결정립 경계의 최대수의 비가 결정립 크기가 되는 경우에는 확률 P 가 1이 되므로, 이러한 경우 TFT의 균일성이 우수함을 알 수 있다. 따라서, 액티브 채널 : N_{max} 가 결정립 크기인 경우 바람직하다.

표 4

채널 길이 L , $\theta = 0^\circ$ 일 경우, 결정립 크기, θ_s 에 따른 액티브 채널 영역 내 결정립 경계의 최대수 N_{max} 가 포함될 확률 P 값

θ	$L(\mu m)$	$\theta_s(\mu m)$	N_{max}	P	$L(\mu m)$	$\theta_s(\mu m)$	N_{max}	P	$L(\mu m)$	$\theta_s(\mu m)$	N_{max}	P
0°	4	0.5	8	1.000	7	0.5	14	1.000	10	0.5	20	1.000
		1	4	1.000		1	7	1.000		1	10	1.000
		1.5	3	0.667		1.5	5	0.667		1.5	7	0.667
		2	2	1.000		2	4	0.500		2	5	1.000
		2.5	2	0.600		2.5	3	0.800		2.5	4	1.000
		3	2	0.333		3	3	0.333		3	4	0.333
		3.5	2	0.143		3.5	2	1.000		3.5	3	0.857
		4	1	1.000		4	2	0.750		4	3	0.500
		4.5	1	0.889		4.5	2	0.556		4.5	3	0.222
		5	1	0.800		5	2	0.400		5	2	1.000
		5.5	1	0.727		5.5	2	0.273		5.5	2	0.818
		6	1	0.667		6	2	0.167		6	2	0.667
		6.5	1	0.615		6.5	2	0.077		6.5	2	0.538
		7	1	0.571		7	1	1.000		7	2	0.429
		7.5	1	0.533		7.5	1	0.933		7.5	2	0.333
		8	1	0.500		8	1	0.875		8	2	0.250
		8.5	1	0.471		8.5	1	0.824		8.5	2	0.176
		9	1	0.444		9	1	0.778		9	2	0.111
		9.5	1	0.421		9.5	1	0.737		9.5	2	0.053
		10	1	0.400		10	1	0.700		10	1	1.000

상기 표 4에서 알 수 있는 비와 같이, 액티브 채널 길이와 결정립 크기를 곱한 값이 결정립 경계의 최대수가 되는 경우 확률 P 가 1이 될 수 있다. 따라서, 이러한 경우에도 TFT의 균일성이 우수하므로 바람직하다.

이상 설명한 비와 같이,

본 발명에서는 '프라이머리' 결정립 경계의 최대수 N_{max} 가 디스플레이 디바이스 전체 기판 위에 액티브 채널 영역 내에 포함될 확률 'P' 및 $N_{max}-1$ 의 결정립 경계가 포함될 확률 '0'에 대하여 유도된 수식은 다음과 같다.

$$P = (0 - (N_{max} - 1) \times B_s) / B_s, \quad Q = (-D + N_{max} \times B_s) / B_s,$$

$$D = L \cos \theta + \Psi \sin \theta,$$

L 은 액티브 채널의 길이,

Ψ 는 액티브 채널의 폭,

N_{max} 는 길이 L , 폭이 Ψ 인 액티브 채널 영역 내에 포함될 수 있는 '프라이머리' 결정립 경계의 최대수,

θ 는 액티브 채널 방향의 수직 방향에 대하여 '프라이머리' 결정립 경계가 기울어져 있는 각도이고,

여기에서,

$P = 1$ 인 경우, $Q = 0$ 이고 완전한 균일성을 확보 가능하고,

$0.75 \leq P < 1$ 인 경우, $0 < Q \leq 0.25$ 이고 균일성은 무수하며,

$0.5 < P < 0.75$ 인 경우, $0.25 < Q < 0.5$ 이고 균일성은 나쁘며,

$P = 0.5$ 인 경우, $Q = 0.5$ 로 균일성은 극히 나쁘게 된다.

따라서, 본 발명에 따른 정의된 P 값에 따라 실제적인 공정에서 결정립 경계의 수를 정하여 TFT의 제조 공정을 진행할 수 있고, 이외는 달리 결정립 경계가 정하여진 경우에는 TFT의 액티브 채널 영역인 소소/드레인 영역의 폭 및 길이 또는 각도 θ 를 정한으로써 가장 바람직한 공정으로 진행할 수 있다.

또한, 본 발명에서 제조된 TFT를 사용하는 디바이스의 경우, 균일성이 향상되어 디바이스의 특성이 좋아질 수 있다. 상기 디바이스로는 반도체 디바이스 또는 디스플레이 디바이스이면 무관하며, 디스플레이 디바이스로는 액정 표시 장치(LCD) 또는 유기 전계 발광 소자(OLED)를 사용하는 것이 바람직하다.

3.2.2. 3D 층의 흐름

본 발명에 따른 TFT는 치명적인 영향을 미치는 결정립 경계가 액티브 채널 영역 내에 포함될 확률에 대한 수식으로부터 제작되는 TFT 기판 또는 액티브 패트박스 디스플레이 상의 특성 균일성을 알 수 있으며, 이로부터 최적의 균일성을 얻을 수 있는 실리콘 결정화 공정 및 TFT 구조를 설계할 수 있다.

(5) 청구항의 쟁위

청구항 1

프라이머리 결정립 경계의 최대수가 TFT의 액티브 채널 영역 내에 포함될 확률 P 가 하기 식 1로 표현되어, 상기 확률이 0.5가 아닌 것을 특징으로 하는 TFT용 다결정 실리콘 박막:

[식 1]

$$P = (0 - (N_{max} - 1) \times B_s) / B_s$$

여기에서,

$$D = L \cos \theta + \Psi \sin \theta,$$

L 은 TFT의 액티브 채널의 길이, Ψ 는 TFT의 액티브 채널의 폭,

N_{max} 는 길이 L ,

폭이 Ψ 인 TFT의 액티브 채널 영역 내에 포함될 수 있는 프라이머리 결정립 경계의 최대수,

B_s 는 결정립 크기,

θ 는 TFT의 액티브 채널 방향의 수직 방향에 대하여 프라이머리 결정립 경계가 기울어져 있는 각도를 나타낸다.

청구항 2

제 1항에 있어서,

상기 다결정 실리콘 박막은 디스플레이부에 배치되는 TFT용 다결정 실리콘 박막,

청구항 3

제 1항에 있어서,

상기 다결정 실리콘 박막은 구동 회로 기판 위에 배치되는 TFT용 다결정 실리콘 박막,

청구항 4

제 1항에 있어서,

상기 P 가 0.75 이상이거나 또는 0.25 미하인 TFT용 다결정 실리콘 박막,

청구항 5

제 1항에 있어서,

상기 θ 가 $-45^\circ \leq \theta \leq 45^\circ$ 인 TFT용 다결정 실리콘 박막.

청구항 6

제 1항에 있어서,

상기 결정립 크기가 $0.2 \mu\text{m}$ 이상인 TFT용 다결정 실리콘 박막.

청구항 7

제 1항에 있어서,

상기 TFT 기판 내의 결정립의 수가 2개 이상인 TFT용 다결정 실리콘 박막.

청구항 8

제 1항에 있어서,

상기 프라이머리 결정립 경계의 N_{max} -1개가 TFT의 액티브 채널 영역 내에 포함될 확률 0는 하기 식 2로 표현되는 TFT용 다결정 실리콘 박막:

[식 2]

$$Q = 1 - P,$$

청구항 9

제 1항에 있어서,

상기 TFT의 액티브 채널 영역 내에 포함되는 프라이머리 결정립 경계의 최대수는 하기식 3으로 표현되는 TFT용 다결정 실리콘 박막:

[식 3]

$$N_{max} = \lceil (D/6s) \rceil,$$

여기에서, $\lceil x \rceil$ 은 가장 작은 정수 $\geq x$, x = 임의의 수(arbitrary number)이다.

청구항 10

제 9항에 있어서,

상기 N_{max} 가 1 내지 10 중 어느 하나인 TFT용 다결정 실리콘 박막:

청구항 11

제 1항에 있어서,

$\theta = 0^\circ$ 일 때, 상기 액티브 채널 길이와 N_{max} 의 비가 결정립 크기가 되는 TFT용 다결정 실리콘 박막.

청구항 12

제 1항에 있어서,

$\theta = 0^\circ$ 일 때, 상기 결정립 크기와 N_{max} 의 곱이 상기 채널 길이가 되는 TFT용 다결정 실리콘 박막.

청구항 13

TFT의 액티브 채널의 길이가 결정립 크기의 정수배인 것을 특징으로 하는 TFT용 다결정 실리콘 박막.

청구항 14

제 13항에 있어서,

상기 다결정 실리콘 박막은 디스플레이부에 배치되는 TFT용 다결정 실리콘 박막.

청구항 15

제 13항에 있어서,

상기 다결정 실리콘 박막은 구동 회로 기판 위에 배치되는 TFT용 다결정 실리콘 박막.

청구항 16

제 13항에 있어서,

상기 액티브 채널 길이는 $0.2 \mu\text{m}$ 이상인 TFT용 다결정 실리콘 박막.

청구항 17

제 13항에 있어서,

상기 결정립의 수가 2개 이상인 TFT용 다결정 실리콘 박막.

청구항 18

제 13항에 있어서,

상기 결정립의 크기는 $0.2 \mu m$ 이상인 TFT용 다결정 실리콘 박막.

청구항 19

프리미머리 결정립 경계의 최대수를 포함할 확률이 TFT 기판의 액티브 채널 영역의 장축 방향의 결정립 크기에 대하여 상기 결정립 경계의 최대수 - 1개의 결정립이 차지하는 거리를 뺀 나머지 거리의 비율로 나누어지며, 상기 확률이 0.5가 아닌 것을 특징으로 하는 TFT용 다결정 실리콘 박막.

청구항 20

제 19항에 있어서,

상기 다결정 실리콘 박막은 디스플레이부에 배치되는 TFT용 다결정 실리콘 박막.

청구항 21

제 19항에 있어서,

상기 다결정 실리콘 박막은 구동 회로 기판 위에 배치되는 TFT용 다결정 실리콘 박막.

청구항 22

제 19항에 있어서,

상기 확률이 0.75 이상이거나 또는 0.25 이하인 TFT용 다결정 실리콘 박막.

청구항 23

제 19항에 있어서,

상기 TFT의 액티브 채널 길이가 결정립 크기의 정수배인 TFT용 다결정 실리콘 박막.

청구항 24

제 19항에 있어서,

상기 다결정 실리콘 박막은 결정립이 일정한 방향으로 성장한 것인 TFT용 다결정 실리콘 박막.

청구항 25

제 19항에 있어서,

상기 결정립 크기가 $0.2 \mu m$ 이상인 TFT용 다결정 실리콘 박막.

청구항 26

제 19항에 있어서,

상기 결정립 경계의 최대수가 1 내지 10 중 어느 하나인 TFT용 다결정 실리콘 박막.

청구항 27

제 19항에 있어서,

상기 액티브 채널의 길이는 $0.2 \mu m$ 이상인 TFT용 다결정 실리콘 박막.

청구항 28

제 19항에 있어서,

상기 결정립의 수가 2개 이상인 TFT용 다결정 실리콘 박막.

청구항 29

제 1항, 제 13항 또는 제 19항 중 어느 한 항의 다결정 실리콘 박막을 사용하는 액티브 매트릭스 TFT를 이용한 것을 특징으로 하는 디바이스.

청구항 30

제 29항에 있어서,

상기 디바이스가 디스플레이 디바이스 또는 반도체 디바이스로 사용되는 것인 디바이스.

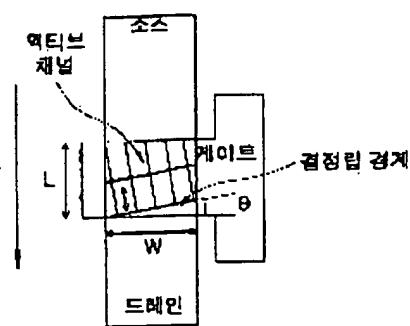
청구항 31

제 30항에 있어서,

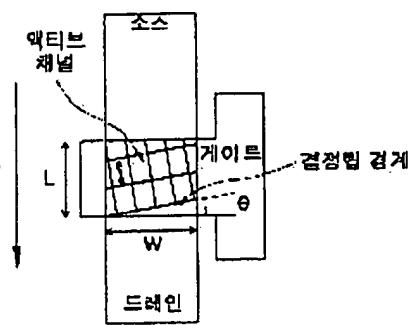
상기 디스플레이 디바이스는 액정 표시 장치(LCD) 또는 유기 전계 발광 소자(OLED)인 디바이스.

도면

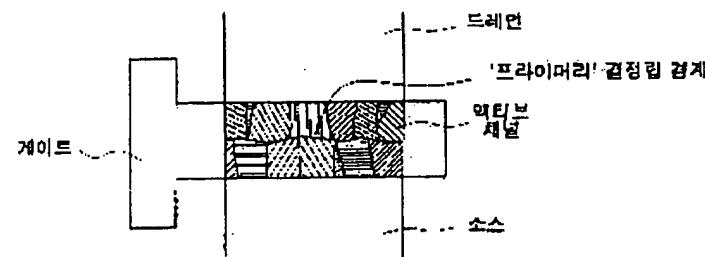
도면 1a



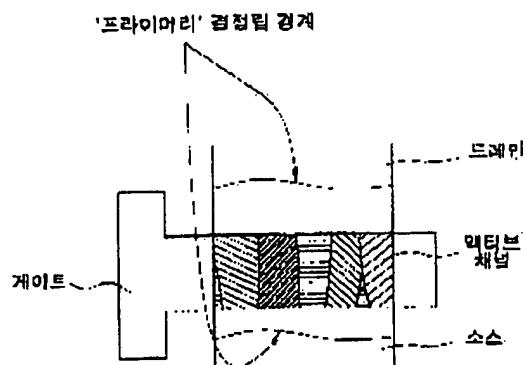
도면 1b



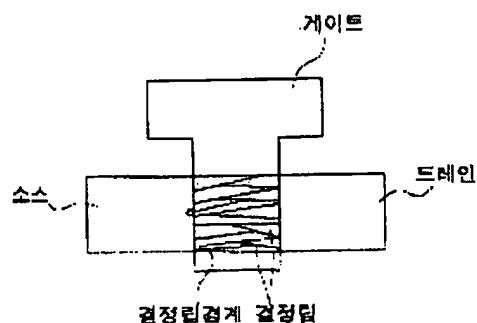
도면 2a



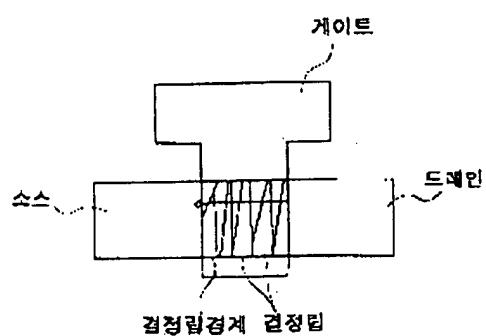
도면25



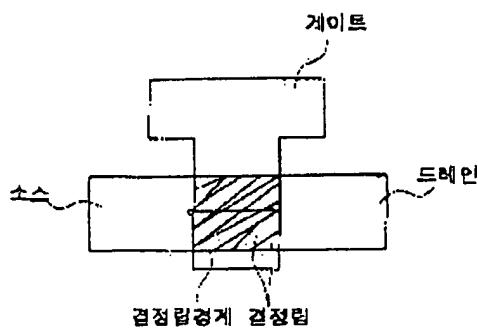
도면26



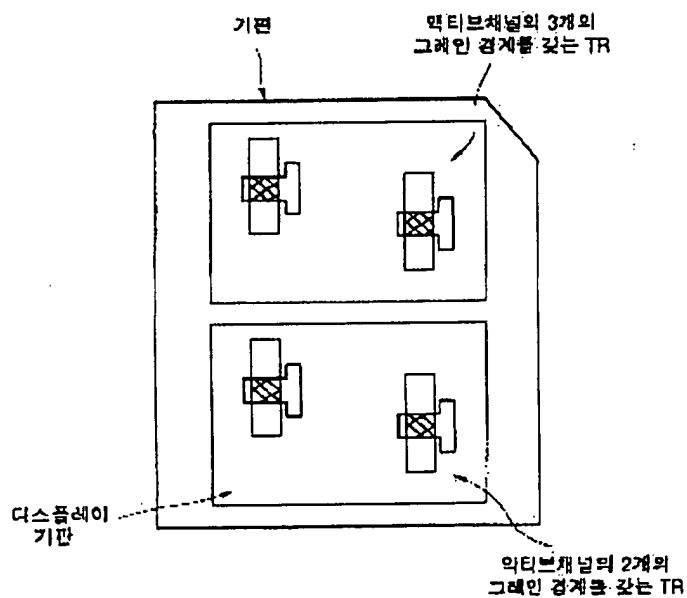
도면26



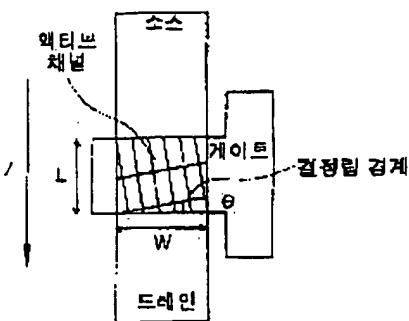
도면34



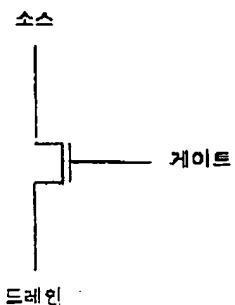
도면34



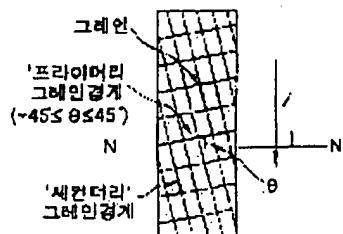
도면5a



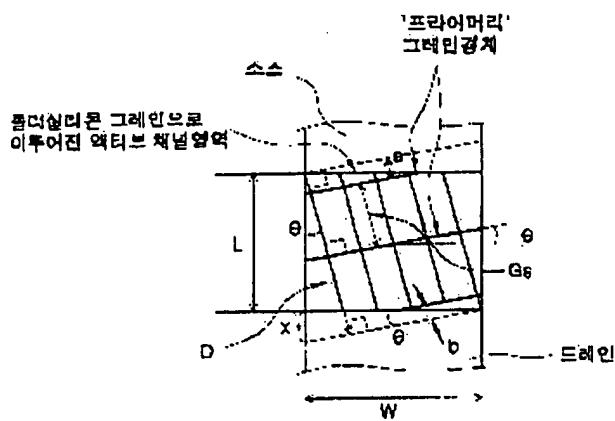
도면5b



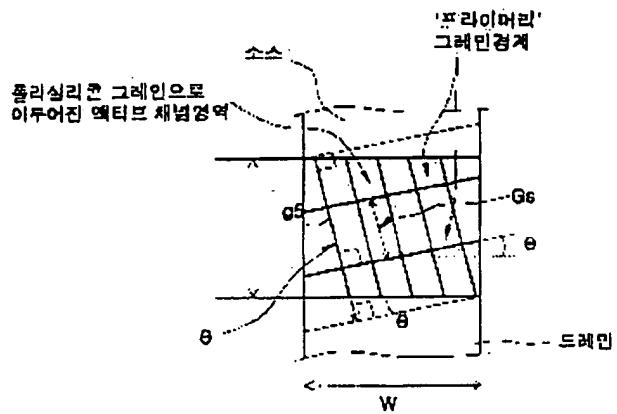
도면5c



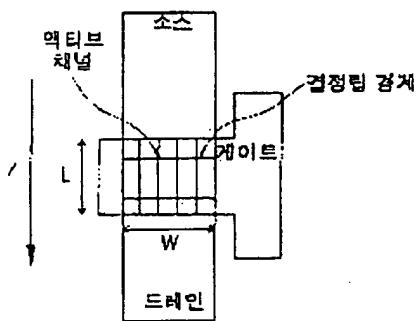
도면6a



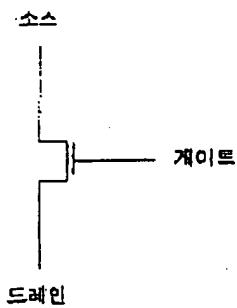
도면6b



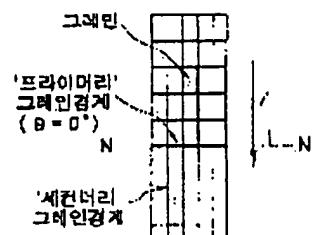
도면7a



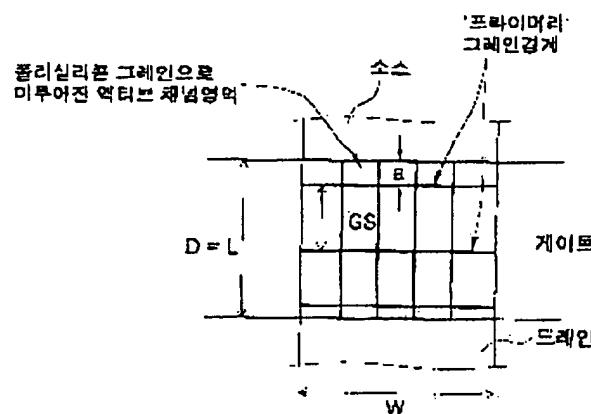
도면7b



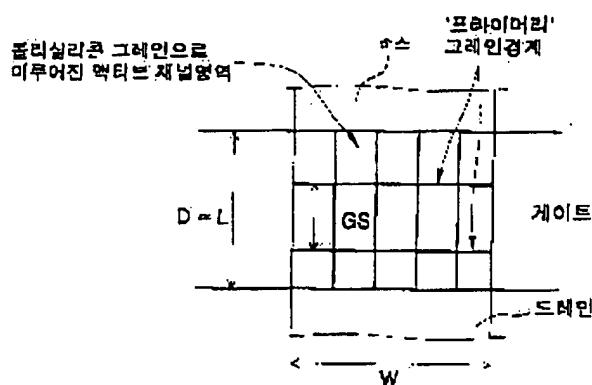
도면7c



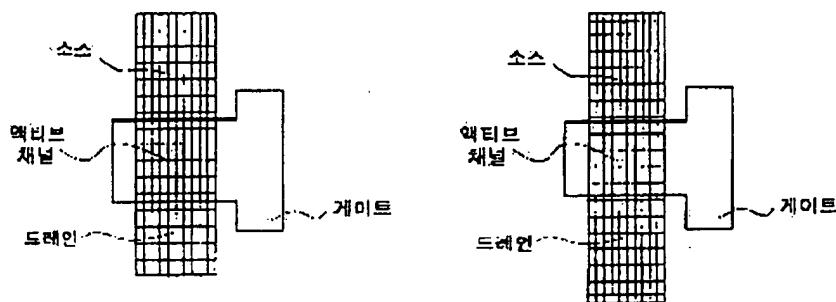
도면7d



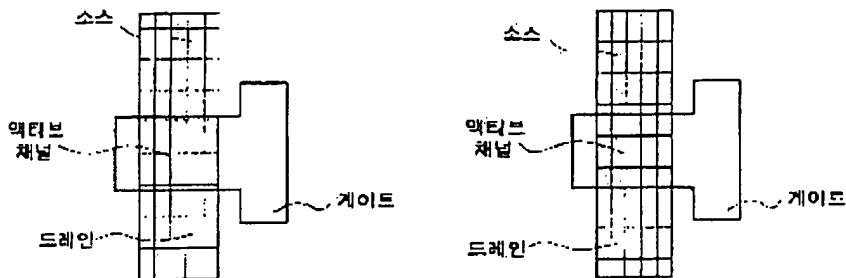
도면 86



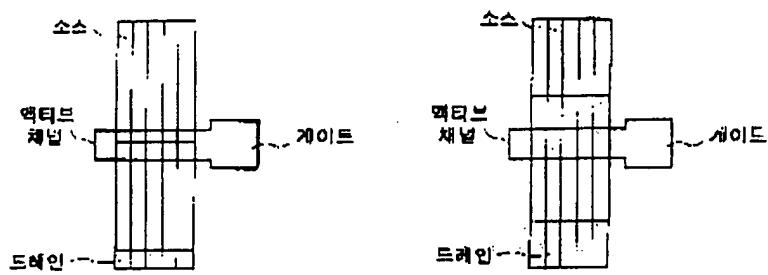
도면 87



도면 88



도면11b



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.